

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002 年 9 月 26 日 (26.09.2002)

PCT

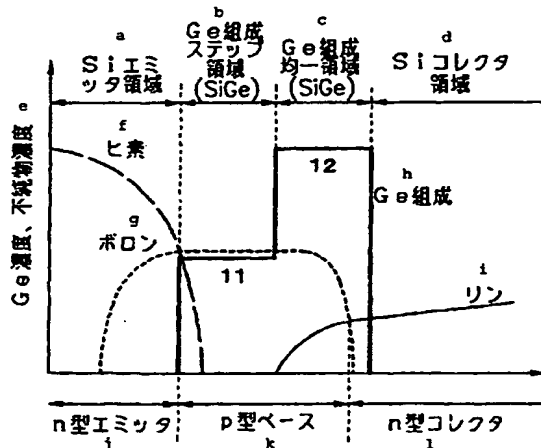
(10) 国際公開番号  
WO 02/075814 A1

- (51) 国際特許分類: H01L 29/737, 21/331 (72) 発明者; および  
(21) 国際出願番号: PCT/JP02/02342 (75) 発明者/出願人 (米国についてのみ): 松野 典朗 (MAT-SUNO, Noriaki) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).  
(22) 国際出願日: 2002 年 3 月 13 日 (13.03.2002) (74) 代理人: 天野 広 (AMANO, Hiroshi); 〒105-0014 東京都 港区 芝三丁目 4 0 番 4 号 シャイン三田ビル 5 階 Tokyo (JP).  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2001-71174 2001 年 3 月 13 日 (13.03.2001) JP (81) 指定国 (国内): CA, US.  
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目 7 番 1 号 Tokyo (JP). (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).  
添付公開書類:  
— 国際調査報告書

[続葉有]

(54) Title: BIPOLAR TRANSISTOR

(54) 発明の名称: バイポーラトランジスタ



(57) Abstract: A bipolar transistor comprising an emitter, a base, and a collector wherein the band gap of at least a partial region of the base is narrower than the band gap of the emitter. The base has a first layer disposed adjacent to the emitter with a band gap narrower than the band gap of the emitter and a second layer disposed adjacent to the first layer with a band gap narrower than the band gap of the first layer. This bipolar transistor improves advantages in device manufacture, that is, uniformity, yield, and productivity while keeping the peak values of a cutoff frequency and a maximum oscillation frequency equivalent to those of a base structure with an ideal compositional gradient.

- a... Si EMITTER REGION  
b... Ge COMPOSITION STEP REGION  
c... Ge COMPOSITION UNIFORM REGION  
d... Si COLLECTOR REGION  
e... Ge CONCENTRATION, IMPURITY CONCENTRATION  
f... ARSENIC  
g... BORON  
h... Ge COMPOSITION  
i... PHOSPHORUS  
j... n-TYPE EMITTER  
k... p-TYPE BASE  
l... n-TYPE COLLECTOR

[続葉有]

WO 02/075814 A1



— 請求の範囲の補正の期限前の公開であり、補正書受理の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

本発明は、エミッタと、ベースと、コレクタとを備え、前記ベースの少なくとも一部の領域のバンドギャップが前記エミッタのバンドギャップよりも狭いバイポーラトランジスタであって、前記ベースは、前記エミッタに隣接して配置され、前記エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層と、前記第1の層と隣接して配置され、前記第1の層のバンドギャップよりも狭いバンドギャップを有する第2の層と、を有するものであるバイポーラトランジスタを提供する。本発明に係るバイポーラトランジスタは、理想的な組成傾斜のベース構造と同等の遮断周波数、最高発振周波数のピーク値を保ちつつ、デバイス作製上の利点、すなわち、均一性や分留り、生産性を改善させることができる。

明 細 書

## バイポーラトランジスタ

発明の技術分野

本発明は、半導体装置に関し、特に、バイポーラトランジスタに関する。

従来の技術

バイポーラトランジスタの特性を改善する方法の一つとして、ベース材料のバンドギャップをエミッタ材料のバンドギャップよりも狭くし、かつ、ベース内部のバンドギャップをエミッタ側では広く、コレクタ側では狭くする手法が知られている。

例えば、シリコン系の材料を用いたデバイスの例としては、図14に示すようなSiGeベースを用いたバイポーラトランジスタが挙げられる。

このバイポーラトランジスタにおいては、エミッタとコレクタとはSiから構成され、ベースはSiよりもバンドギャップの狭いSiGeから構成されている。ベースには、SiGe中のGe組成をエミッタ側からコレクタ側に向かって増加させる組成傾斜層が形成されており、この組成傾斜層によって、バンドギャップに傾斜が付けられている。

この組成傾斜層には、エミッタからベースに注入された少数キャリアをコレクタ側に向かって加速させる作用があり、これにより、デバイスの電気的特性が向上する。キャリアを効率よく加速させるためには、ベース内部のバンドギャップは、連続的に、かつ、滑らかに変化することが望ましい。

例えば、SiGeベースを用いたバイポーラトランジスタにおいては、図14に示すGe組成傾斜層のように、そのGe濃度はエミッタ側からコレクタ側へ連続的に、かつ、滑らかに変化させることが要求される。このことはGe以外の材料を用いたバイポーラトランジスタにおいても同様であり、ベース材料のある特定の元素の組成をエミッタ側からコレクタ側へ連続的に、かつ、滑らかに変化させることが要求される。

また、組成傾斜層の厚さと組成の変化の割合はデバイス特性を左右するパラメータでもある。

図14に示したようなバイポーラトランジスタ、すなわち、ベースとエミッタとを異なる材料から形成する、いわゆるヘテロバイポーラトランジスタにおいては、ベースは、一般的には、エピタキシャル法やCVD法などの方法で作製される。これらの方法においては、ベース層を成膜した時点において、ベース層中の元素の組成が決定される。従って、組成傾斜層を作製するには、温度やガス分圧等の成膜パラメータを連続的に変化させ、組成傾斜層の厚さと、組成傾斜層における組成のプロファイルとが意図した通りになるようにすることが必要である。

しかしながら、一般には、ある成膜パラメータを変化させると、組成と同時に成長レートや膜質も変化する。このため、膜質を保ちつつ、所望の組成プロファイルを得ることは極めて難しい。

また、成膜条件を維持するという観点からも、組成を連続的に変化させたときの成長レートや膜質を管理するのは極めて困難である。

以上の困難を解決する従来手法として、組成傾斜層をステップ状に組成を変化させた組成ステップ層として形成する方法がある。

図15に、ベースをSiGeから構成したバイポーラトランジスタに対して、組成ステップ層を適用した例を示す。

この場合、組成傾斜層はGe組成を10段階の階段状に変化させたGe組成ステップ層で置き換えられている。これにより、連続的に組成を変えることに起因する困難は緩和される。

この従来技術は、組成傾斜層を組成ステップ層で近似させることが目的であることから、組成ステップ層におけるステップ数は成膜上の困難が生じない範囲において多く取られる。このため、従来の組成ステップ層においては、組成傾斜ステップの数は少なくとも6以上であり、多くとも20程度以下に取ることが一般的である。

しかしながら、組成ステップ層によっても、デバイスの生産性を高く保ちつつ、組成傾斜層と同等の効果をえられるデバイス構造を実現することは困難であった。すなわち、組成をステップ状に変化させる組成ステップ層においても、以下の

ような成膜上の難点があった。

第一の問題点は、成膜条件を定期的に調べ直さなければならない点である。

組成をステップ状に変化させる場合、各組成条件について成膜条件を予め調べる必要がある。

また、一般的に、成膜装置の経時変化とともに成膜条件は変動するため、定期的に成膜条件を調べ直すことが必要である。ステップ数が多くなると、これらを実施するために必要な工程数は大きくなり、デバイスの生産性を著しく低下させる。

第二の問題点は、各組成ステップ毎に成膜条件を変化させることに起因する問題点である。

膜の成長速度と膜の組成は、一定の成長条件下においてある程度厚い膜を作製し、その膜厚、成長時間及び組成を調べることにより決定する。成長条件を変えてそのような厚い膜を形成することにより、各成長条件における膜の組成及び成長速度を調べ、その結果に基づいて、組成傾斜層を作製する成膜条件フローを決定する。

しかしながら、実際に組成傾斜層を作製する場合には、組成を切り替えるために、成長条件を一時的に変動させることが必要である。このような遷移状態においては、一定の成長条件の下で求めた成長速度や組成がそのまま当てはまるとは限らない。

具体例を挙げると、例えば、供給する原料ガスの流量によって膜の組成と成長速度とが同時に変化する場合、マスフローメータから成膜室までの配線長さの分だけ、ガス流量のモニタ値と反応室のガス流量との間にはタイムラグが発生し、その分膜厚や組成に誤差が生じる。

あるいは、成長温度により膜の組成と成長速度とが同時に変化する場合、設定温度と実際の温度との間にタイムラグが生じ、膜厚や組成に誤差が生じることもある。

あるいは、基板表面と基板内部との間の温度差のために、成膜時の反応の状態が変化し、膜厚や組成に誤差が生じることもある。

あるいは、基板の外周と内周との間において温度差が生じるために、ウェハ面

内の均一性が劣化することもある。

一般的には、基板温度とガス流量とを同時に制御することによって、所望の組成と成長速度を得ている。このため、上記の問題が複合し、問題はより複雑になる。

組成をステップ状に変化させる領域の合計の厚さを一定とした場合、組成ステップ数が多いほど、遷移状態で成膜する機会が増える。このため、バッチ間やウェハ間、ウェハ内のデバイス特性の均一性をより一層損なう原因になり、ひいては、生産性を低下させる原因となっている。

第三の問題点は、デバイスの生産性が低下するという問題点である。

作製したデバイスの品質を検査する一つの方法として、デバイス作製時に、バッチ投入する数枚から数十枚のウェハの中に、各組成条件について成長速度と組成をモニタするためのテストウェハを入れるという方法がある。

これらのテストウェハは各々異なる一定の成長条件で成膜され、その膜の組成と厚さを調べることにより、組成と成長速度をモニタすることができる。

例えば、ステップ数を10とした場合、モニタ用のテストウェハは10枚必要である。仮に、所用ウェハ数が30枚であったとすると、一バッチは合計40枚となる。なお、典型的な一バッチの枚数もこの程度である。

この場合、デバイス作成装置の能力としては40枚処理可能であるが、実際には、30枚のウェハしか製品としては使えないことになる。従って、ベース膜成長工程の生産性は最大でもデバイス作成装置能力の75%にすぎないことになり、デバイスの生産性が大きく低下することになる。

特許第2551364号（特開平7-147287号公報）は、ベース層及びコレクタ層がゲルマニウムを含む単結晶シリコン層からなるバイポーラトランジスタであって、前記ベース層中の深さ方向におけるゲルマニウム濃度はエミッタ層側が低く、コレクタ層側が高い分布を有し、コレクタ層中の深さ方向におけるゲルマニウム濃度はベース層側が高く、コレクタ層内部の高濃度埋め込み層側が低い分布を有し、かつ、前記コレクタ層内の深さ方向におけるゲルマニウム濃度はベース層側において急激に減少し、埋め込み層側において緩やかに減少する分布を有しているバイポーラトランジスタを提案している。

また、特開平9-260397号公報は、第一導電型を有する低濃度コレクタ層の活性領域の、前記低濃度コレクタ層に接して形成された前記第一導電型とは逆の第二導電型を有するベース層に接する部分における第一導電型を有する不純物の濃度が $5 \times 10^{16} \text{ cm}^{-3}$ 以上であるバイポーラトランジスタを備え、前記バイポーラトランジスタのエミッターコレクタ間電圧の最小値は0.4V未満であり、前記バイポーラトランジスタのコレクタ電流密度の最大値が最小エミッターコレクタ間電圧において前記バイポーラトランジスタの遮断周波数が最大となるコレクタ電流密度の2倍よりも小さいことを特徴とする半導体回路を提案している。

第一導電型不純物を含む半導体により構成されるコレクタ層と、前記コレクタ層に隣接して設けられ、第二導電型不純物を含む混晶半導体により構成されるベース層と、前記ベース層を挟んで前記コレクタ層に対向するように設けられ、第一導電型不純物を含む半導体により構成されるエミッタ層とを備え、前記ベース層は、混晶半導体のバンドギャップがエミッタ側からコレクタ側にかけて漸次減少するように組成率が変化し、かつ、第二導電型不純物の濃度がエミッタ側からコレクタ側に向かって漸次減少するように設けられていることを特徴とするバイポーラトランジスタを提案している。

特開2000-68283号公報は、ベースにBドーパのSiとGeの混晶(SiGe)を用いたバイポーラトランジスタにおいて、エミッターベース接合空乏層領域とベースコレクタ接合空乏層領域におけるGe組成の最大値がベース層内の平均値よりも大きくなっていることを特徴とするバイポーラトランジスタを提案している。

また、特開2000-306920号公報は、InPを含む化合物半導体で形成されたコレクタと、InAlAs、InAlGaAs及びInPの何れかを含む化合物半導体で形成されたエミッタ層と、 $\text{GaAs}_{1-x}\text{Sb}_x$ からなる化合物半導体で形成され、Xがコレクタ層側からエミッタ層側に向かって減少する組成傾斜型ベース層とをInP化合物半導体基板上に備えることを特徴とするヘテロ接合バイポーラトランジスタを提案している。

しかしながら、これらの公報に提案されているバイポーラトランジスタによっ



ても、上述の問題は依然として解決されていない。

本発明は、上述したような従来のバイポーラトランジスタにおける問題点に鑑みてなされたものであり、組成傾斜層を有するベースを採用したトランジスタと同等の高い特性が得られ、かつ、生産性の向上を図ったバイポーラトランジスタを提供することを目的とする。

#### 発明の開示

上記の目的を達成するため、本発明は、第1に、エミッタと、ベースと、コレクタとを備え、前記ベースの少なくとも一部の領域のバンドギャップが前記エミッタのバンドギャップよりも狭いバイポーラトランジスタであって、前記ベースは、前記エミッタに隣接して配置され、前記エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層と、前記第1の層と隣接して配置され、前記第1の層のバンドギャップよりも狭いバンドギャップを有する第2の層と、を有するものであるバイポーラトランジスタを提供する。

この場合、前記第2の層は、前記ベースの領域内において、最も狭いバンドギャップを有するものとして設定することができる。

また、本発明は、第2に、エミッタと、ベースと、コレクタとを備え、前記ベースの少なくとも一部の領域のバンドギャップが前記エミッタのバンドギャップよりも狭いバイポーラトランジスタであって、前記ベースは、前記エミッタに隣接して配置され、前記エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層と、前記第1の層に隣接して配置され、前記第1の層のバンドギャップよりも狭いバンドギャップを有する第2の層と、前記第2の層に隣接して配置され、前記第2の層のバンドギャップよりも狭いバンドギャップを有する第3の層と、を有するものであるバイポーラトランジスタを提供する。

この場合、前記第3の層は、前記ベースの領域内において、最も狭いバンドギャップを有するものとして設定することができる。

さらに、本発明は、第3に、エミッタと、ベースと、コレクタとを備え、前記ベースの少なくとも一部の領域のバンドギャップが前記エミッタのバンドギャップよりも狭いバイポーラトランジスタであって、前記ベースは、前記エミッタに

隣接して配置され、前記エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層と、前記第1の層に隣接して配置され、前記第1の層のバンドギャップよりも狭いバンドギャップを有する第2の層と、前記第2の層に隣接して配置され、前記第2の層のバンドギャップよりも狭いバンドギャップを有する第3の層と、前記第3の層に隣接して配置され、前記第3の層のバンドギャップよりも狭いバンドギャップを有する第4の層と、を有するものであるバイポーラトランジスタを提供する。

この場合、前記第4の層は、前記ベースの領域内において、最も狭いバンドギャップを有するものとして設定することができる。

前記ベースは、前記エミッタに接する端部において、前記エミッタが前記ベースに接する端部におけるバンドギャップと同一のバンドギャップを有する第一の領域を有するものとして構成することができる。

この場合、前記第一の領域は10 nm以下の厚さを有することが好ましい。

前記第1の層の一部が前記エミッタと同じ導電型を有し、または、アンドープであるとすることができる。

この場合、その第1の層の一部は20 nm以下の厚さを有していることが好ましい。

前記ベースをSiGeから構成し、前記エミッタをSiから構成し、前記SiGe中のGe濃度を変化させることにより、前記ベース中のバンドギャップを変化させることができる。

あるいは、前記ベースをSiGeCから構成し、前記エミッタをSiから構成し、前記SiGeC中のGe濃度及びC濃度を変化させることにより、前記ベース中のバンドギャップを変化させることも可能である。

あるいは、前記ベースをInGaAsから構成し、前記InGaAs中のIn濃度を変化させることにより、前記ベース中のバンドギャップを変化させることもできる。

あるいは、前記ベースをAlGaAsから構成し、前記AlGaAs中のAl濃度を変化させることにより、前記ベース中のバンドギャップを変化させることも可能である。

上述のバイポーラトランジスタにおいては、前記ベースと前記エミッタとの間のp-n接合の位置を前記ベースを構成する材料と前記エミッタを構成する材料とのヘテロ界面位置から前記ベース側または前記エミッタ側にずらして配置することが可能である。

#### 図面の簡単な説明

図1は、本発明の第1の実施例に係るバイポーラトランジスタの構造を模式的に表す組成図である。

図2は、組成傾斜層におけるGeのステップ数と遮断周波数 $f_T$ 、最高発振周波数 $f_{max}$ との関係を表すグラフである。

図3は、ベース領域のGe組成を一定にした、従来技術によるバイポーラトランジスタの構造を表す組成図である。

図4は、本発明の第2の実施例に係るバイポーラトランジスタの構造を模式的に表す組成図である。

図5は、ステップ数とエミッタ接地電流増幅率との関係を表すグラフである。

図6は、本発明の第3の実施例に係るバイポーラトランジスタの構造を模式的に表す組成図である。

図7は、ステップ数と、コレクタ電流密度を遮断周波数 $f_T$ がピークになるときの電流密度の約 $1/10$ である1平方センチ当たり10000Aに取った場合の遮断周波数 $f_T$ と、 $f_{max}$ との関係を表すグラフである。

図8は、本発明の第4の実施例に係るバイポーラトランジスタの構造を模式的に表す組成図である。

図9は、本発明の第5の実施例に係るバイポーラトランジスタの構造を模式的に表す組成図である。

図10は、本発明の第6の実施例に係るバイポーラトランジスタの構造を模式的に表す組成図である。

図11は、本発明の第7の実施例に係るバイポーラトランジスタの構造を模式的に表す組成図である。

図12は、本発明の第8の実施例に係るバイポーラトランジスタの構造を模式

的に表す組成図である。

図 1 3 は、本発明の第 9 の実施例に係るバイポーラトランジスタの構造を模式的に表す組成図である。

図 1 4 は、従来のバイポーラトランジスタの構造を模式的に表す組成図である。

図 1 5 は、従来のバイポーラトランジスタの構造を模式的に表す組成図である。

(符号の説明)

- 1 1 第 1 の実施例における第 1 の層
- 1 2 第 1 の実施例における第 2 の層
- 2 1 第 2 の実施例における第 1 の層
- 2 2 第 2 の実施例における第 2 の層
- 2 3 第 2 の実施例における第 3 の層
- 3 1 第 3 の実施例における第 1 の層
- 3 2 第 3 の実施例における第 2 の層
- 3 3 第 3 の実施例における第 3 の層
- 3 4 第 3 の実施例における第 4 の層
- 6 0 第 6 の実施例におけるエミッタ
- 6 1 第 6 の実施例における第 1 の層
- 6 2 第 6 の実施例における第 2 の層
- 6 3 第 6 の実施例における第 3 の層
- 6 4 第 6 の実施例におけるコレクタ
- 7 0 第 7 の実施例におけるエミッタ
- 7 1 第 7 の実施例における第 1 の層
- 7 2 第 7 の実施例における第 2 の層
- 7 3 第 7 の実施例における第 3 の層
- 7 4 第 7 の実施例におけるコレクタ
- 8 0 第 8 の実施例におけるエミッタ
- 8 1 第 8 の実施例における第 1 の層
- 8 2 第 8 の実施例における第 2 の層
- 8 3 第 8 の実施例における第 3 の層

- 84 第8の実施例におけるコレクタ
- 91 第9の実施例における第1領域
- 92 第9の実施例における第2の層
- 93 第9の実施例における第3の層
- 94 第9の実施例における第4の層
- 95 第9の実施例における第5の層

#### 好ましい実施例の詳細な説明

次に、添付図面を参照しながら本発明の実施例に係るバイポーラトランジスタを詳細に説明する。

##### (第1の実施例)

まず、本発明の第1の実施例に係るバイポーラトランジスタを図1及び図2を参照して説明する。

図1は、第1の実施例に係るバイポーラトランジスタのデバイス構造の模式図である。

図1に示されるように、第1の実施例に係るバイポーラトランジスタは、エミッタと、ベースと、コレクタとを備えており、エミッタはSiからなり、ベースはSiGeからなり、コレクタはSiからなっている。

ベースは、エミッタに隣接して配置され、エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層11と、第1の層11及びコレクタの双方と隣接して配置され、第1の層11のバンドギャップよりも狭いバンドギャップを有する第2の層12と、からなっている。

すなわち、第2の層12は、ベースの領域内において、最も狭いバンドギャップを有している。

以上のように、本実施例に係るバイポーラトランジスタにおいては、組成ステップ層の数は2である。

前述のように、本実施例においては、ベースはSiGeからなっており、このSiGe中のGe濃度を変化させることにより、ベース中のバンドギャップを変化させている。すなわち、第1の層11のGe濃度は第2の層12のGe濃度よ

りも低く設定されている。

本実施例に係るバイポーラトランジスタにおいては、ベース層を作製するためには、2種類のGe濃度について成膜条件を把握すれば足りる。従って、従来技術と比較して、ベース膜成長工程の条件出しの工程数と、成長条件の経時変化を把握するための工程数が数分の一から十分の一程度に小さくなり、バイポーラトランジスタの生産性を向上させることができる。

また、本実施例に係るバイポーラトランジスタによれば、ベース層成膜時にGe組成を切り替える回数が1回で済むため、成長条件を一時的に変動させる遷移状態の影響を最小限に抑えることができる。このため従来技術と比較して、成膜条件の管理をより厳密に行えるようになり、結果としてデバイスの均一性と分留りを向上させることができる。

また、例えば、図15に示した従来技術により作製された構造のGeステップ領域においては、Ge濃度が一定値に設定されている各ステップ領域の厚さは薄い。

これに対して、図1に示す本実施例に係るバイポーラトランジスタにおいては、Geステップ領域に相当する第1の層11におけるGe濃度は一定である。すなわち、本実施例に係るバイポーラトランジスタの方が、図15に示したバイポーラトランジスタと比較して、Ge濃度を一定に保ったまま、より厚い膜を成膜することになるので、成膜条件がより安定する。このこともデバイスの均一性と分留りの向上に寄与する。

また、Ge濃度が一定であるGeステップ領域の厚さが厚いことにより、膜を光学的に観測し、その屈折率からGe濃度と厚みを推定する手法を用いることができる。

この手法によれば、1枚のサンプルウェハから各Geステップ領域のGe濃度と厚さを非破壊方式により、かつ、迅速に知ることが可能である。従って、デバイス作製時のバッチに入れる成膜条件モニタ用のウェハの枚数を減らすことができるので、生産性を向上させることができる。

また、SIMSその他の破壊検査とは異なり、成膜後直ちに、成膜した膜の品質を調べることができるため、成膜後の工程の管理を適切に行うことができる。

すなわち、仮に、膜質に不備があった場合、即座にその後の工程を中止することができるため、失敗コストを低減することができ、かつ、そのバックアップとなるロットの投入を即座に決定することができるため、膜質の不備による生産の遅れを最小限にすることができる。これらは全て生産性の向上に繋がる。

図1に示した本実施例に係るバイポーラトランジスタのように、Ge組成のステップ数を減らした場合、デバイス特性が劣化することが懸念される。このため、本発明者は、本実施例に係るバイポーラトランジスタについてデバイスシミュレーションを行った。

デバイスシミュレーションの結果を図2に示す。横軸はGeステップの数、縦軸は遮断周波数 $f_T$ と最高発振周波数 $f_{max}$ のピーク値である。

Geステップ数が1であるということは、ベース内のGe濃度が均一であることを示している。その場合のベース構造を図3に示す。

Geステップ数が2であるようなバイポーラトランジスタは、図1に示した本実施例に係るバイポーラトランジスタに相当する。

また、ステップ数9は理想的な組成傾斜のベース構造の特性を示している。

図2からわかるように、図3に示されたステップ数が1であるようなバイポーラトランジスタにおいては、他の構造と比較して、高周波特性、すなわち、遮断周波数 $f_T$ 及び最高発振周波数 $f_{max}$ が劣化している。

これに対して、ステップ数が2以上であるようなバイポーラトランジスタにおいては、遮断周波数 $f_T$ 及び最高発振周波数 $f_{max}$ はほぼ一定である。すなわち、ステップ数を2以上にすることにより、理想的な組成傾斜ベースと同等の遮断周波数 $f_T$ 及び最高発振周波数 $f_{max}$ のピーク値を確保しつつ、前述のデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットを最大限に発揮させることができる。

#### (第2の実施例)

図4は、第2の実施例に係るバイポーラトランジスタのデバイス構造の模式図である。

図4に示されるように、第2の実施例に係るバイポーラトランジスタは、エミッタと、ベースと、コレクタとを備えており、エミッタはSiからなり、ベース

はSiGeからなり、コレクタはSiからなっている。

ベースは、エミッタに隣接して配置され、エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層21と、第1の層21と隣接して配置され、第1の層21のバンドギャップよりも狭いバンドギャップを有する第2の層22と、第2の層22及びコレクタの双方に隣接して配置され、第2の層22のバンドギャップよりも狭いバンドギャップを有する第3の層23と、からなっている。

すなわち、第3の層23は、ベースの領域内において、最も狭いバンドギャップを有している。

以上のように、本実施例に係るバイポーラトランジスタにおいては、組成ステップ層の数は3である。

前述のように、本実施例においては、ベースはSiGeからなっており、このSiGe中のGe濃度を変化させることにより、ベース中のバンドギャップを変化させている。すなわち、第1の層21のGe濃度は第2の層22のGe濃度よりも低く設定されており、第2の層22のGe濃度は第3の層23のGe濃度よりも低く設定されている。

本実施例に係るバイポーラトランジスタにおける組成ステップ層の数は、従来技術により作製されたデバイスのその数分の一である。従って、従来のベース構造と比較して、前述のデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットが得られる。

一方、デバイス特性のうち、遮断周波数 $f_T$ 及び最高発振周波数 $f_{max}$ のピーク値については、図2に示したように、ステップ数が3である本実施例に係るバイポーラトランジスタの構造によれば、理想的な組成傾斜ベースのそれと同等の特性を得ることができる。

また、エミッタを接地させた場合の電流増幅率 $h_{FE}$ について、図5にデバイスシミュレーション結果を示す。

この図5に示されるように、ステップ数が2の場合では、理想的な組成傾斜ベース構造の場合よりも電流増幅率 $h_{FE}$ が低くなり、ステップ数が3以上の場合では、理想的な組成傾斜ベース構造と同等の値が得られている。

すなわち、ステップ数を3以上にすることにより、理想的な組成傾斜ベース構



造と同等の遮断周波数  $f_T$  及び最高発振周波数  $f_{max}$  のピーク値と電流増幅率  $h_{FE}$  を確保しつつ、前述のデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットを最大限に発揮させることができる。

(第3の実施例)

図6は、第3の実施例に係るバイポーラトランジスタのデバイス構造の模式図である。

図6に示されるように、第3の実施例に係るバイポーラトランジスタは、エミッタと、ベースと、コレクタとを備えており、エミッタはSiからなり、ベースはSiGeからなり、コレクタはSiからなっている。

ベースは、エミッタに隣接して配置され、エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層31と、第1の層31と隣接して配置され、第1の層31のバンドギャップよりも狭いバンドギャップを有する第2の層32と、第2の層32に隣接して配置され、第2の層32のバンドギャップよりも狭いバンドギャップを有する第3の層33と、第3の層33及びコレクタの双方に隣接して配置され、第3の層33のバンドギャップよりも狭いバンドギャップを有する第4の層34と、からなっている。

すなわち、第4の層は、ベースの領域内において、最も狭いバンドギャップを有している。

以上のように、本実施例に係るバイポーラトランジスタにおいては、組成ステップ層の数は4である。

前述のように、本実施例においては、ベースはSiGeからなっており、このSiGe中のGe濃度を変化させることにより、ベース中のバンドギャップを変化させている。すなわち、第1の層31のGe濃度は第2の層32のGe濃度よりも低く設定されており、第2の層32のGe濃度は第3の層33のGe濃度よりも低く設定されており、第3の層33のGe濃度は第4の層34のGe濃度よりも低く設定されている。

本実施例に係るバイポーラトランジスタにおける組成ステップ層の数は、従来技術により作製されたデバイスのその数分の一である。従って、従来構造と比較して、前述のデバイス作製上の利点、すなわち、均一性、分留り及び生産性の

改善というメリットを得ることができる。

一方、デバイス特性のうち、遮断周波数  $f_T$  及び最高発振周波数  $f_{max}$  のピーク値については、図2に示したように、ステップ数が4である本実施例に係るバイポーラトランジスタの構造によれば、理想的な組成傾斜ベースのそれと同等の特性を得ることができる。

また、電流増幅率  $h_{FE}$  については、図5において示したように、ステップ数が4である本実施例に係るバイポーラトランジスタの構造によれば、理想的な組成傾斜ベース構造のそれと同等の特性を得ることができる。

本発明者は、コレクタ電流密度を遮断周波数  $f_T$  がピークになるときの電流密度の約  $1/10$  である1平方センチ当たり10000Aに取った場合の遮断周波数  $f_T$  と最高発振周波数  $f_{max}$  についてデバイスシミュレーションを行った。図7に、そのデバイスシミュレーションの結果を示す。

図7に示すように、ステップ数が3以下の場合には、理想的な組成傾斜ベース構造の場合よりもコレクタ電流密度を低くしたときの遮断周波数  $f_T$  及び最高発振周波数  $f_{max}$  が低くなり、ステップ数が4以上の場合には、理想的な組成傾斜ベース構造と同等の値が得られている。このようなコレクタ電流密度を低くしたときの高周波特性は、回路の消費電流を削減する際には、重要な性能指数となる。

また、コレクタ電流密度を低くしたときの遮断周波数  $f_T$  は、これが高いほど最小雑音指数が低くなる。

すなわち、ステップ数を4にすることにより、理想的な組成傾斜ベース構造と同等の遮断周波数  $f_T$  及び最高発振周波数  $f_{max}$  のピーク値と電流増幅率  $h_{FE}$ 、コレクタ電流密度を小さくしたときの遮断周波数  $f_T$  及び最高発振周波数  $f_{max}$  を確保しつつ、前述のデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットを最大限に発揮させることができる。

図1、図4及び図6にそれぞれ示した第1乃至第3の実施例に係るバイポーラトランジスタにおいては、ベースをSiGeから構成し、Geの濃度を変化させることにより、ベース中のバンドギャップを変化させるものとしたが、ベースをSiGeCから構成し、SiGeC中のGe濃度及びC濃度を変化させることに

より、ベース中のバンドギャップを変化させることも可能である。

(第4の実施例)

図1、図4及び図6にそれぞれ示した第1乃至第3の実施例に係るバイポーラトランジスタの構造においては、いずれもベースとエミッタとの間のP-N接合の位置がSiとSiGeとのヘテロ界面の位置と一致している。

しかしながら、前述した第1乃至第3の実施例に係るバイポーラトランジスタによる効果は、ベース-エミッタ間のP-N接合位置がSiとSiGeとのヘテロ界面位置からずれても同様に得ることができる。

図8は、ベース-エミッタ間のP-N接合位置がSiとSiGeとのヘテロ界面位置からずれている構造を有する第4の実施例に係るバイポーラトランジスタを示す。

本実施例においては、ベース-エミッタ間のP-N接合位置がSiとSiGeとのヘテロ界面位置よりもエミッタ側にずれている。

この構造の特性は、図1に示す第1の実施例に係るバイポーラトランジスタの特性とほぼ同等である。

さらに、本実施例に係るバイポーラトランジスタによっても、従来技術によるバイポーラトランジスタでは得られないデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットを得ることができる。

(第5の実施例)

図9は、ベース-エミッタ間のP-N接合位置がSiとSiGeとのヘテロ界面位置からずれている構造を有する第5の実施例に係るバイポーラトランジスタを示す。

本実施例においては、ベース-エミッタ間のP-N接合位置がSiとSiGeとのヘテロ界面位置よりもベース側にずれている。

この構造の特性は、図1に示す第1の実施例に係るバイポーラトランジスタの特性とほぼ同等である。

さらに、本実施例に係るバイポーラトランジスタによっても、従来技術によるバイポーラトランジスタでは得られないデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットを得ることができる。

## (第6の実施例)

上述した第1乃至第5の実施例は、SiGeをベースに用いたバイポーラトランジスタを例に説明してきたが、ベースを構成する材料としてSiGe以外の材料を用い、ベースのバンドギャップをステップ状に変化させたデバイスであっても、第1乃至第5の実施例と同様の効果を得ることができる。

図10は、第6の実施例に係るバイポーラトランジスタのデバイス構造の模式図である。

図10に示されるように、第6の実施例に係るバイポーラトランジスタは、エミッタ60と、ベース61-63と、コレクタ64とを備えており、エミッタ60はn型AlGaAsからなり、ベース61-63はp型AlGaAsとp型GaAsからなり、コレクタ64はn型GaAsからなっている。

ベースは、エミッタ60に隣接して配置され、エミッタ60のバンドギャップよりも狭いバンドギャップを有する第1の層61と、第1の層61と隣接して配置され、第1の層61のバンドギャップよりも狭いバンドギャップを有する第2の層62と、第2の層62及びコレクタの双方に隣接して配置され、第2の層62のバンドギャップよりも狭いバンドギャップを有する第3の層63と、からなっている。

すなわち、本実施例に係るバイポーラトランジスタにおいては、組成ステップ層の数は3である。

前述のように、本実施例においては、ベースはp型AlGaAs及びp型GaAsからなっており、このp型AlGaAs及びp型GaAs中のAl濃度を変化させることにより、ベース中のバンドギャップを変化させている。すなわち、第1の層61のAl濃度はエミッタ60のAl濃度よりも低く設定されており、第2の層62のAl濃度は第1の層61のAl濃度よりも低く設定されており、第3の層63のAl濃度は第2の層62のAl濃度よりも低く設定されている。

本実施例においては、第3の層63のAl濃度はゼロに設定されている。すなわち、第3の層63はGaAsから構成されている。

本実施例に係るバイポーラトランジスタにおける組成ステップ層の数は、従来技術により作製されたデバイスのその数分の一である。従って、従来のベース

構造と比較して、前述のデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットを得ることができる。

一方、デバイス特性のうち、遮断周波数  $f_T$  及び最高発振周波数  $f_{max}$  のピーク値については、図2に示したように、ステップ数が3である本実施例に係るバイポーラトランジスタの構造によれば、理想的な組成傾斜ベースのそれと同等の特性を得ることができる。

また、電流増幅率  $h_{FE}$  については、図5に示したように、ステップ数が3である本実施例に係るバイポーラトランジスタによれば、理想的な組成傾斜ベース構造のそれと同等の特性を得ることができる。

#### (第7の実施例)

図11は、第7の実施例に係るバイポーラトランジスタのデバイス構造の模式図である。

図11に示されるように、第7の実施例に係るバイポーラトランジスタは、エミッタ70と、ベース71-73と、コレクタ74とを備えており、エミッタ70はn型InGaPからなり、ベース71-73はp型GaAs及びp型InGaAsからなり、コレクタ74はn型GaAsからなっている。

ベースは、エミッタ70に隣接して配置され、エミッタ70のバンドギャップよりも狭いバンドギャップを有する第1の層71と、第1の層71と隣接して配置され、第1の層71のバンドギャップよりも狭いバンドギャップを有する第2の層72と、第2の層72及びコレクタ74の双方に隣接して配置され、第2の層72のバンドギャップよりも狭いバンドギャップを有する第3の層73と、からなっている。

すなわち、本実施例に係るバイポーラトランジスタにおいては、組成ステップ層の数は2である。

前述のように、本実施例においては、ベースはp型GaAs及びp型InGaAsからなっており、このp型GaAs及びp型InGaAs中のIn濃度を変化させることにより、ベース中のバンドギャップを変化させている。すなわち、第2の層72のIn濃度は第1の層71のIn濃度よりも高く設定されており、第3の層73のIn濃度は第2の層72のIn濃度よりも高く設定されている。

本実施例においては、第1の層71のIn濃度はゼロに設定されている。すなわち、第1の層71はGaAsから構成されている。

本実施例に係るバイポーラトランジスタにおける組成ステップ層の数は、従来技術により作製されたデバイスのその数分の一である。従って、従来のベース構造と比較して、前述のデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットを得ることができる。

一方、デバイス特性のうち、遮断周波数 $f_T$ 及び最高発振周波数 $f_{max}$ のピーク値については、図2に示したように、ステップ数が2である本実施例に係るバイポーラトランジスタの構造によれば、理想的な組成傾斜ベースのそれと同等の特性を得ることができる。

なお、本実施例においては、第1の層71はp型GaAsとして形成したが、第1の層71の一部または全部をn型GaAsまたはi型GaAsとして形成することも可能である。

さらに、第1の層71の一部または全部をn型GaAsまたはi型GaAsとして形成する場合には、第1の層71のn型GaAsまたはi型GaAsの部分の厚さは20nm以下とすることが好ましい。

#### (第8の実施例)

図12は、第8の実施例に係るバイポーラトランジスタのデバイス構造の模式図である。

図12に示されるように、第8の実施例に係るバイポーラトランジスタは、エミッタ80と、ベース81-83と、コレクタ84とを備えており、エミッタ80はn型GaAsからなり、ベースはp型InGaAsからなり、コレクタはn型GaAsからなっている。

ベースは、エミッタ80に隣接して配置され、エミッタ80のバンドギャップよりも狭いバンドギャップを有する第1の層81と、第1の層81と隣接して配置され、第1の層81のバンドギャップよりも狭いバンドギャップを有する第2の層82と、第2の層82及びコレクタ84の双方に隣接して配置され、第2の層82のバンドギャップよりも狭いバンドギャップを有する第3の層83と、からなっている。

すなわち、本実施例に係るバイポーラトランジスタにおいては、組成ステップ層の数は3である。

前述のように、本実施例においては、ベースはInGaAsからなっており、このInGaAs中のIn濃度を变化させることにより、ベース中のバンドギャップを变化させている。すなわち、第1の層81のIn濃度は第2の層82のIn濃度よりも低く設定されており、第2の層82のIn濃度は第3の層83のIn濃度よりも低く設定されている。

本実施例に係るバイポーラトランジスタにおける組成ステップ層の数は、従来技術により作製されたデバイスのその数分の一である。従って、従来のベース構造と比較して、前述のデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットを得ることができる。

一方、デバイス特性のうち、遮断周波数 $f_T$ 及び最高発振周波数 $f_{max}$ のピーク値については、図2に示したように、ステップ数が3である本実施例に係るバイポーラトランジスタの構造によれば、理想的な組成傾斜ベースのそれと同等の特性を得ることができる。

また、電流増幅率 $h_{FE}$ については、図5に示したように、ステップ数が3である本実施例に係るバイポーラトランジスタによれば、理想的な組成傾斜ベース構造のそれと同等の特性を得ることができる。

#### (第9の実施例)

図13は、第9の実施例に係るバイポーラトランジスタのデバイス構造の模式図である。

図13に示されるように、第3の実施例に係るバイポーラトランジスタは、エミッタと、ベース90-94と、コレクタとを備えており、エミッタはSiからなり、ベース90-94はp型Si及びp型SiGeからなり、コレクタはSiからなっている。

ベースは、エミッタに隣接して配置され、エミッタのバンドギャップと同一バンドギャップを有する第1領域91と、第1領域91と隣接して配置され、第1領域91のバンドギャップよりも狭いバンドギャップを有する第2の層92と、第2の層92に隣接して配置され、第2の層92のバンドギャップよりも狭いバ

ンドギャップを有する第3の層93と、第3の層93のバンドギャップよりも狭いバンドギャップを有する第4の層94と、第4の層94及びコレクタの双方に隣接して配置され、第4の層94のバンドギャップよりも狭いバンドギャップを有する第5の層95と、からなっている。

前述のように、本実施例においては、ベースはp型Si及びp型SiGeからなっており、このp型Si及びp型SiGe中のGe濃度を変化させることにより、ベース中のバンドギャップを変化させている。

すなわち、第1領域91のGe濃度は第2の層92のGe濃度よりも低く設定されており、第2の層92のGe濃度は第3の層93のGe濃度よりも低く設定されており、第3の層93のGe濃度は第4の層94のGe濃度よりも低く設定されており、第4の層94のGe濃度は第5の層95のGe濃度よりも低く設定されている。

本実施例においては、第1領域91のGe濃度はゼロに設定されている。すなわち、第1領域91はSiGeから構成されている。

以上のように、本実施例に係るバイポーラトランジスタにおいては、組成ステップ層の数は4である。

本実施例においては、第1領域91の幅は5nmに設定されている。

なお、本実施例における第1領域91の幅は5nmに設定したが、第1領域91の幅は5nmに限定されるものではなく、10nm以下であれば、任意の幅を選択することが可能である。

また、図13に示すように、本実施例においては、ベース－エミッタ間のP－N接合位置がSiとSiGeとのヘテロ界面位置よりもエミッタ側にずれている。

この構造の特性は、図1に示す第1の実施例に係るバイポーラトランジスタの特性とほぼ同等である。

本実施例に係るバイポーラトランジスタにおける組成ステップ層の数は、従来技術により作製されたデバイスのその数分の一である。従って、従来のベース構造と比較して、前述のデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットを得ることができる。



一方、デバイス特性のうち、遮断周波数  $f_T$  及び最高発振周波数  $f_{max}$  のピーク値については、図2に示したように、ステップ数が4である本実施例に係るバイポーラトランジスタの構造によれば、理想的な組成傾斜ベースのそれと同等の特性を得ることができる。

また、電流増幅率  $h_{FE}$  については、図5に示したように、ステップ数が4である本実施例に係るバイポーラトランジスタによれば、理想的な組成傾斜ベース構造のそれと同等の特性を得ることができる。

また、図7に示したように、ステップ数を4にすることにより、理想的な組成傾斜ベース構造と同等の遮断周波数  $f_T$  及び最高発振周波数  $f_{max}$  のピーク値と電流増幅率  $h_{FE}$ 、コレクタ電流密度を小さくしたときの遮断周波数  $f_T$  及び最高発振周波数  $f_{max}$  を確保しつつ、前述のデバイス作製上の利点、すなわち、均一性、分留り及び生産性の改善というメリットを最大限に発揮させることができる。

#### 産業上の利用可能性

以上の説明から明らかであるように、本発明に係るバイポーラトランジスタは、ベースが、エミッタに隣接して配置され、エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層と、第1の層と隣接して配置され、第1の層のバンドギャップよりも狭いバンドギャップを有する第2の層と、有することを第1の特徴としている。

このような構成を取ることで、理想的な組成傾斜のベース構造と同等の遮断周波数及び最高発振周波数のピーク値を保ちつつ、デバイス作製上の利点、すなわち、均一性、分留り及び生産性を改善させることができる。

また、本発明に係るバイポーラトランジスタは、ベースが、エミッタに隣接して配置され、エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層と、第1の層に隣接して配置され、第1の層のバンドギャップよりも狭いバンドギャップを有する第2の層と、第2の層に隣接して配置され、第2の層のバンドギャップよりも狭いバンドギャップを有する第3の層と、有することを第2の特徴としている。

このような構成を取ることで、理想的な組成傾斜のベース構造と同等の遮断周波数及び最高発振周波数のピーク値と、エミッタ接地電流増幅率を確保しつつ、デバイス作製上の利点、すなわち、均一性、分留り及び生産性を改善させることができる。

また、本発明に係るバイポーラトランジスタは、ベースが、エミッタに隣接して配置され、エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層と、第1の層に隣接して配置され、第1の層のバンドギャップよりも狭いバンドギャップを有する第2の層と、第2の層に隣接して配置され、第2の層のバンドギャップよりも狭いバンドギャップを有する第3の層と、第3の層に隣接して配置され、第3の層のバンドギャップよりも狭いバンドギャップを有する第4の層と、を有することを第3の特徴としている。

このような構成を取ることで、理想的な組成傾斜のベース構造と同等の遮断周波数及び最高発振周波数のピーク値と、エミッタ接地電流増幅率、コレクタ電流密度を小さくしたときの遮断周波数及び最高発振周波数を確保しつつ、デバイス作製上の利点、すなわち、均一性、分留り及び生産性を改善させることができる。

また、上述の第1乃至第3の特徴を有するバイポーラトランジスタにおいては、第1乃至第4の層をベース領域に作製するために、多くとも4種類の不純物濃度についての作製条件を把握すれば足りる。従って、従来技術と比較して、ベース膜成長工程の条件を決定するための工程数と、成長条件の経時変化を把握するための工程数を数分の一から十分の一程度に縮小することができ、生産性を向上させることができる。

また、本発明に係るバイポーラトランジスタによれば、ベース層成膜時に不純物組成を切り換える回数が少なくとも1回で済むため、成長条件を一時的に変動させる遷移状態の影響を受けにくくなる。このため、従来技術と比較して、成膜条件の管理をより厳密に行うことが可能となり、バイポーラトランジスタの均一性と分留りを向上させることができる。

また、不純物濃度を一定に保ったまま厚い膜を成膜することになるので、成膜条件をより安定させることができる。

また、不純物濃度が一定である領域の厚さが厚いことにより、膜を光学的に観測し、その屈折率から不純物濃度と厚みを推定する方法を用いることができる。従って、1枚のサンプルウェハから各不純物濃度領域の不純物濃度と厚さとを、非破壊方式で迅速に知ることができる。

また、デバイス作製時のバッチに入れる成膜条件モニタ用のウェハの枚数を減らすことができるので、生産性を向上させることができる。

また、SIMSその他の破壊検査とは異なり、成膜後直ちに、成膜した膜の品質を調べることができるため、成膜後の工程の管理を適切に行うことができる。すなわち、仮に、膜質に不備があった場合、即座にその後の工程を中止することができるため、失敗コストを低減することができ、かつ、そのバックアップとなるロットの投入を即座に決定することができるため、膜質の不備による生産の遅れを最小限にすることができる。

請求の範囲

1. エミッタと、ベースと、コレクタとを備え、

前記ベースの少なくとも一部の領域のバンドギャップが前記エミッタのバンドギャップよりも狭いバイポーラトランジスタであって、

前記ベースは、

前記エミッタに隣接して配置され、前記エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層と、

前記第1の層と隣接して配置され、前記第1の層のバンドギャップよりも狭いバンドギャップを有する第2の層と、

を有するものであるバイポーラトランジスタ。

2. 前記第2の層は、前記ベースの領域内において、最も狭いバンドギャップを有することを特徴とする請求項1に記載のバイポーラトランジスタ。

3. エミッタと、ベースと、コレクタとを備え、

前記ベースの少なくとも一部の領域のバンドギャップが前記エミッタのバンドギャップよりも狭いバイポーラトランジスタであって、

前記ベースは、

前記エミッタに隣接して配置され、前記エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層と、

前記第1の層に隣接して配置され、前記第1の層のバンドギャップよりも狭いバンドギャップを有する第2の層と、

前記第2の層に隣接して配置され、前記第2の層のバンドギャップよりも狭いバンドギャップを有する第3の層と、

を有するものであるバイポーラトランジスタ。

4. 前記第3の層は、前記ベースの領域内において、最も狭いバンドギャップを有することを特徴とする請求項3に記載のバイポーラトランジスタ。

5. エミッタと、ベースと、コレクタとを備え、

前記ベースの少なくとも一部の領域のバンドギャップが前記エミッタのバンドギャップよりも狭いバイポーラトランジスタであって、

前記ベースは、

前記エミッタに隣接して配置され、前記エミッタのバンドギャップよりも狭いバンドギャップを有する第1の層と、

前記第1の層に隣接して配置され、前記第1の層のバンドギャップよりも狭いバンドギャップを有する第2の層と、

前記第2の層に隣接して配置され、前記第2の層のバンドギャップよりも狭いバンドギャップを有する第3の層と、

前記第3の層に隣接して配置され、前記第3の層のバンドギャップよりも狭いバンドギャップを有する第4の層と、

を有するものであるバイポーラトランジスタ。

6. 前記第4の層は、前記ベースの領域内において、最も狭いバンドギャップを有することを特徴とする請求項5に記載のバイポーラトランジスタ。

7. 前記ベースは、前記エミッタに接する端部において、前記エミッタが前記ベースに接する端部におけるバンドギャップと同一のバンドギャップを有する第一の領域を有することを特徴とする請求項1乃至6の何れか一項に記載のバイポーラトランジスタ。

8. 前記第一の領域は10 nm以下の厚さを有することを特徴とする請求項7に記載のバイポーラトランジスタ。

9. 前記第1の層の一部が前記エミッタと同じ導電型を有し、または、アンドープであることを特徴とする請求項1乃至7の何れか一項に記載のバイポーラトランジスタ。

10. 前記第1の層の一部は20nm以下の厚さを有していることを特徴とする請求項9に記載のバイポーラトランジスタ。

11. 前記ベースはSiGeからなり、前記エミッタはSiからなり、前記SiGe中のGe濃度を変化させることにより、前記ベース中のバンドギャップを変化させることを特徴とする請求項1乃至10の何れか一項に記載のバイポーラトランジスタ。

12. 前記ベースはSiGeCからなり、前記エミッタはSiからなり、前記SiGeC中のGe濃度及びC濃度を変化させることにより、前記ベース中のバンドギャップを変化させることを特徴とする請求項1乃至10の何れか一項に記載のバイポーラトランジスタ。

13. 前記ベースはInGaAsからなり、前記InGaAs中のIn濃度を変化させることにより、前記ベース中のバンドギャップを変化させることを特徴とする請求項1乃至10の何れか一項に記載のバイポーラトランジスタ。

14. 前記ベースはAlGaAsからなり、前記AlGaAs中のAl濃度を変化させることにより、前記ベース中のバンドギャップを変化させることを特徴とする請求項1乃至10の何れか一項に記載のバイポーラトランジスタ。

15. 前記ベースと前記エミッタとの間のp-n接合の位置が前記ベースを構成する材料と前記エミッタを構成する材料とのヘテロ界面位置から前記ベース側または前記エミッタ側にずれていることを特徴とする請求項1乃至14の何れか一項に記載のバイポーラトランジスタ。

1/15

図1

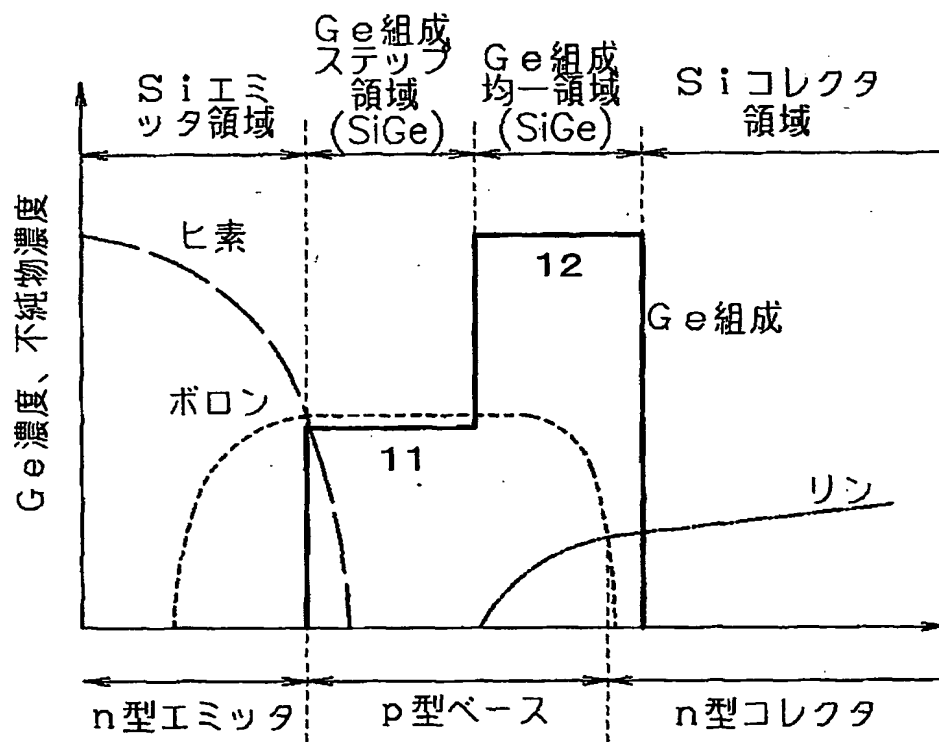
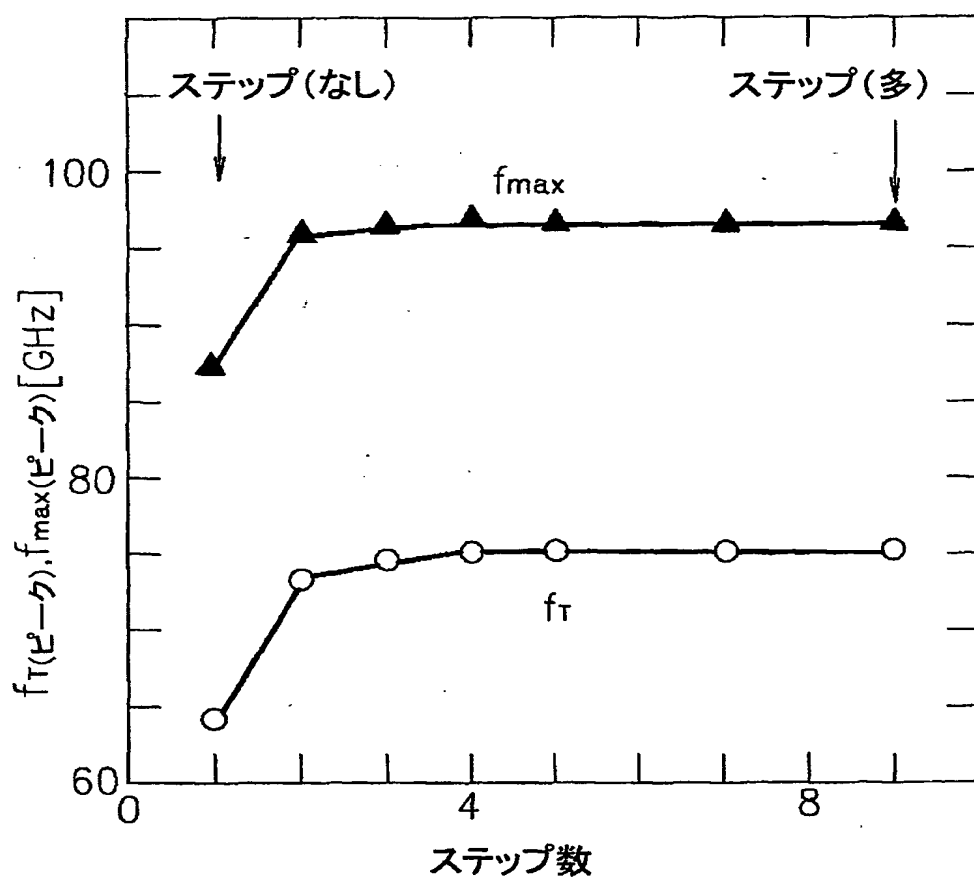


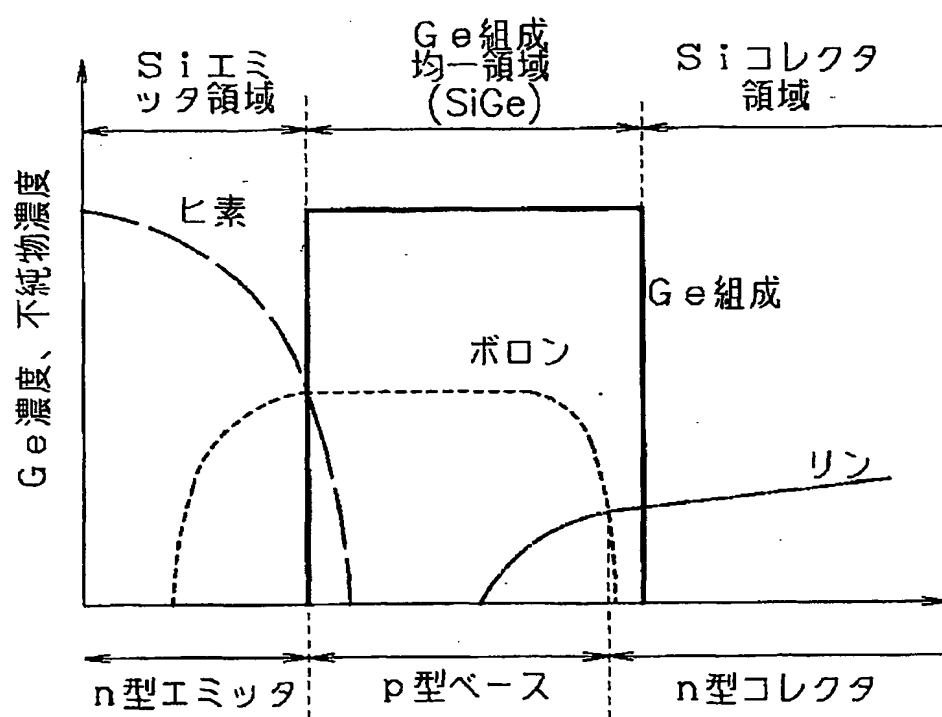
図2





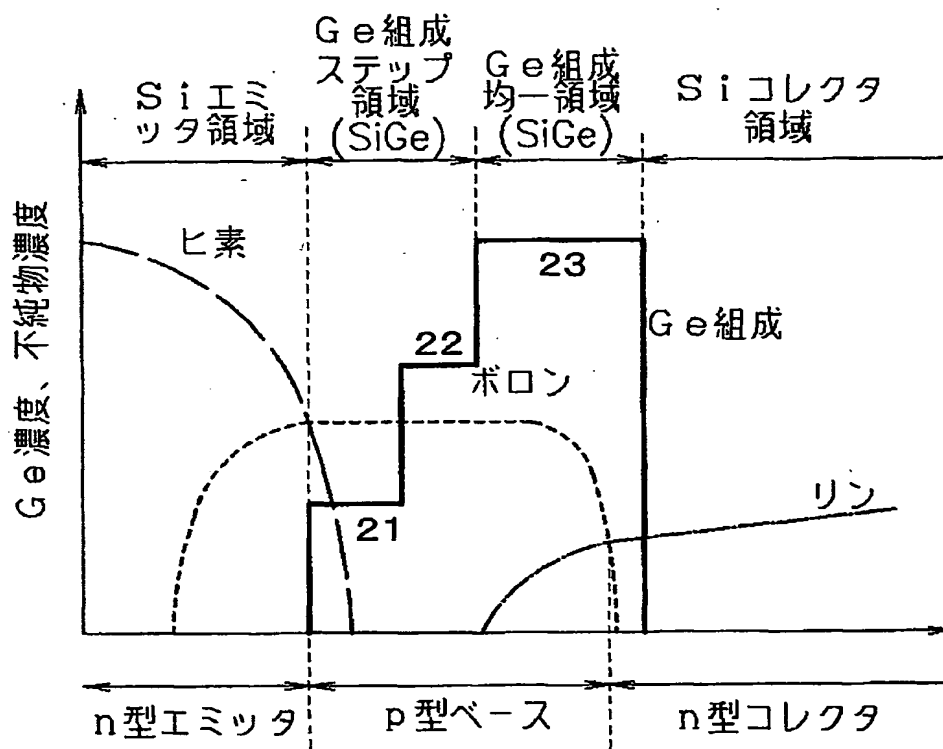
3/15

図3



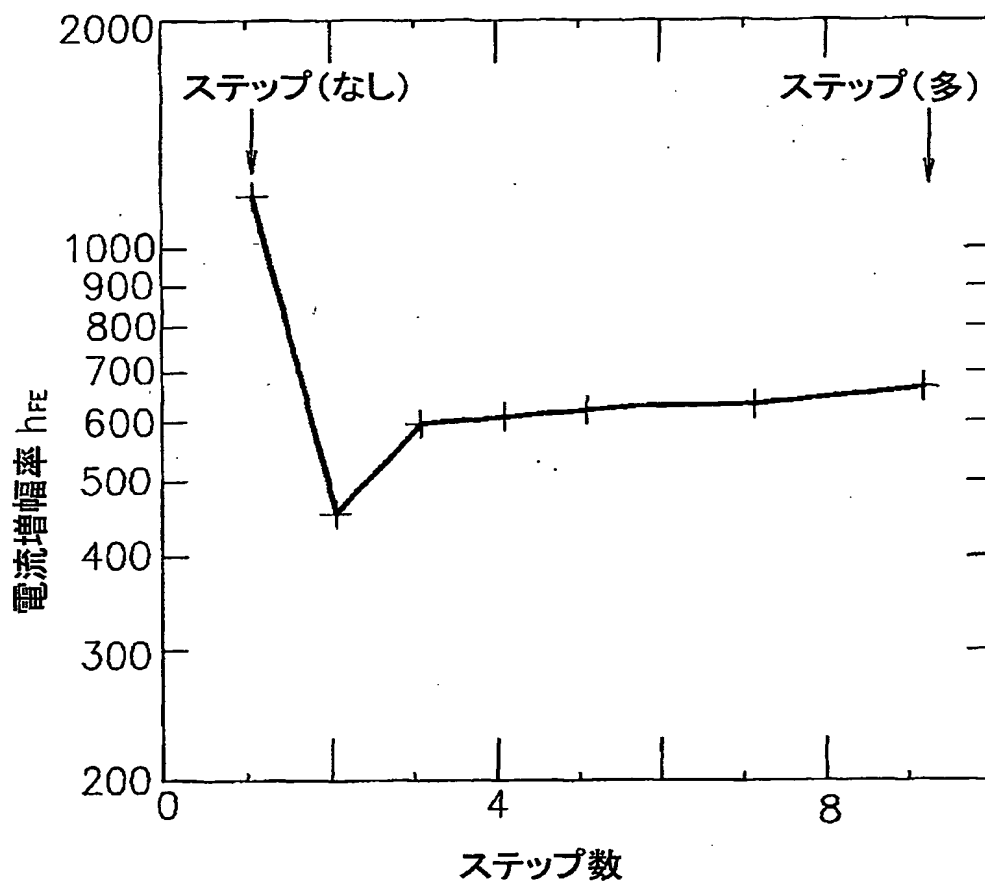
4/15

図4



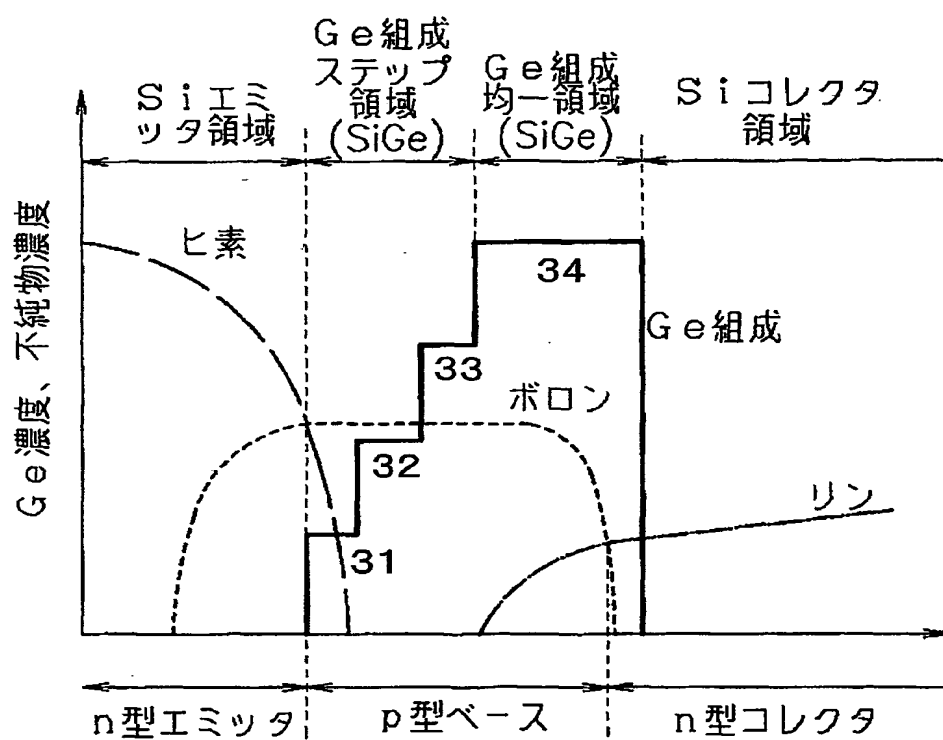
5/15

図5



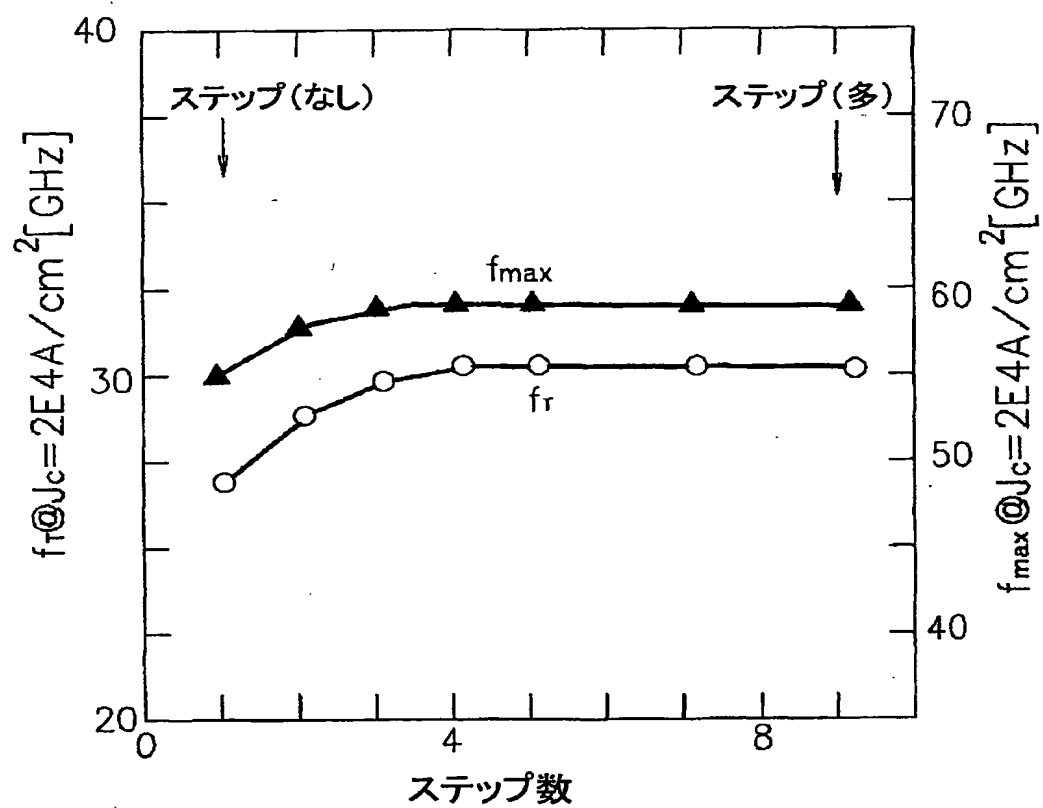
6/15

図6



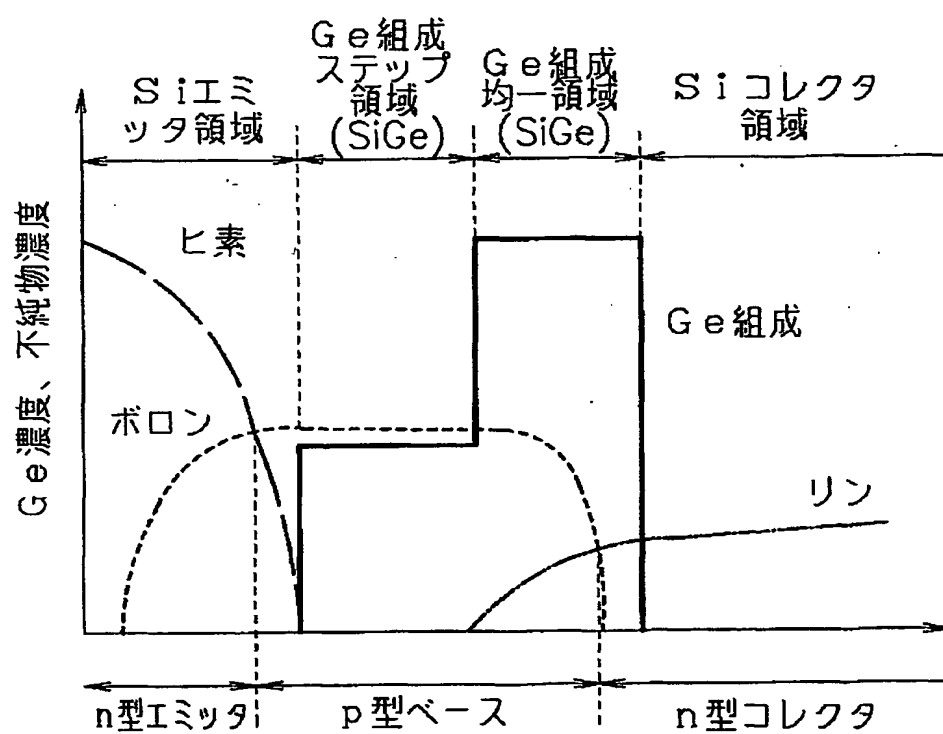
7/15

図7



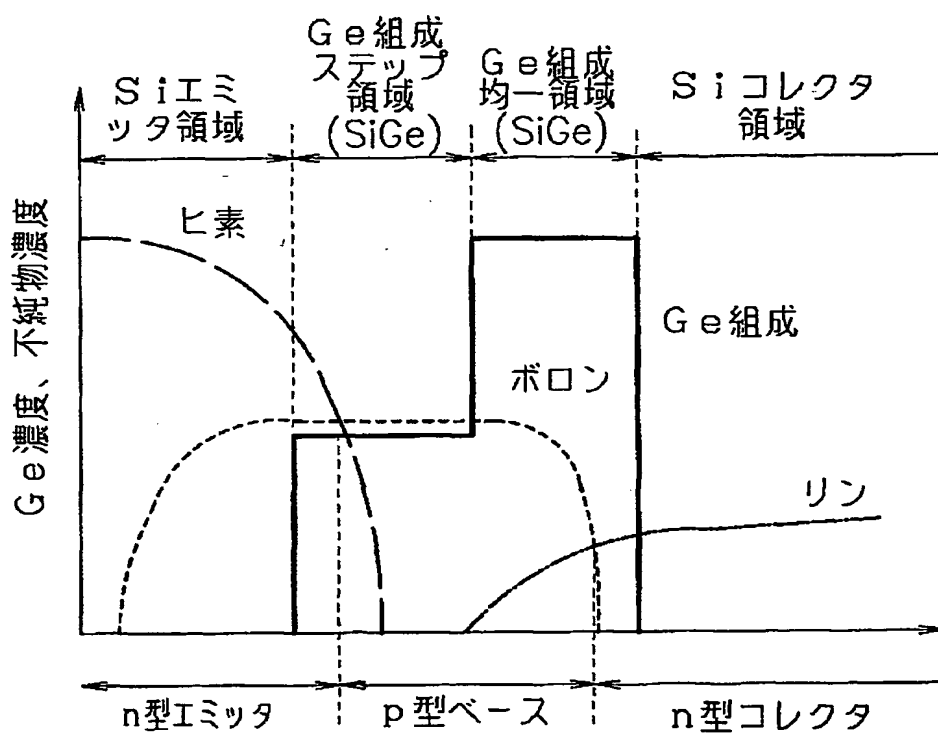
8/15

図8



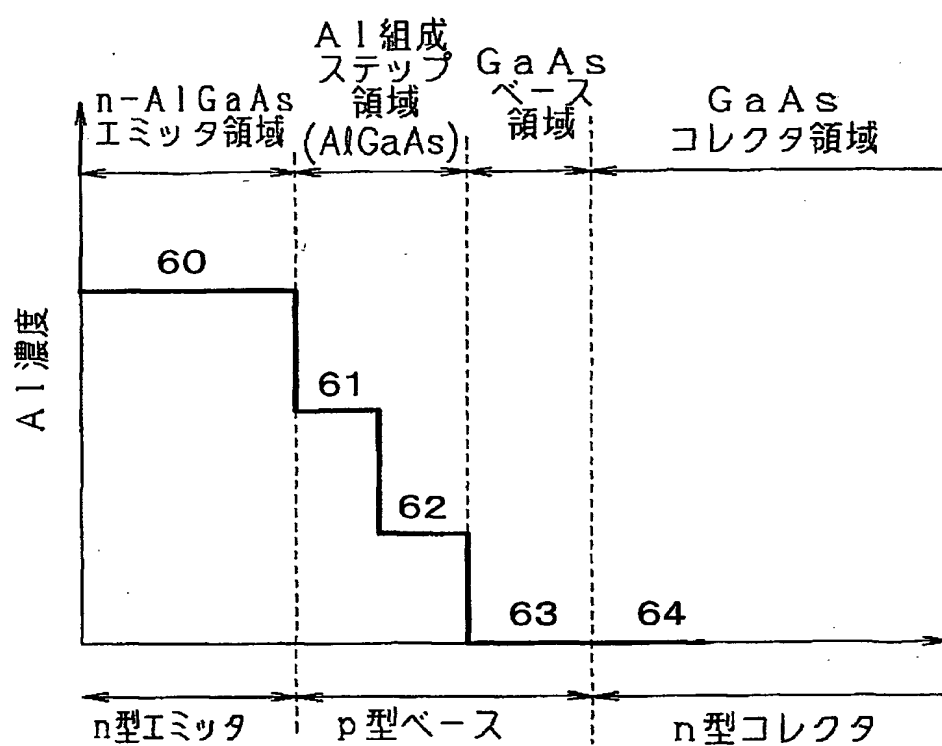
9/15

図9



10/15

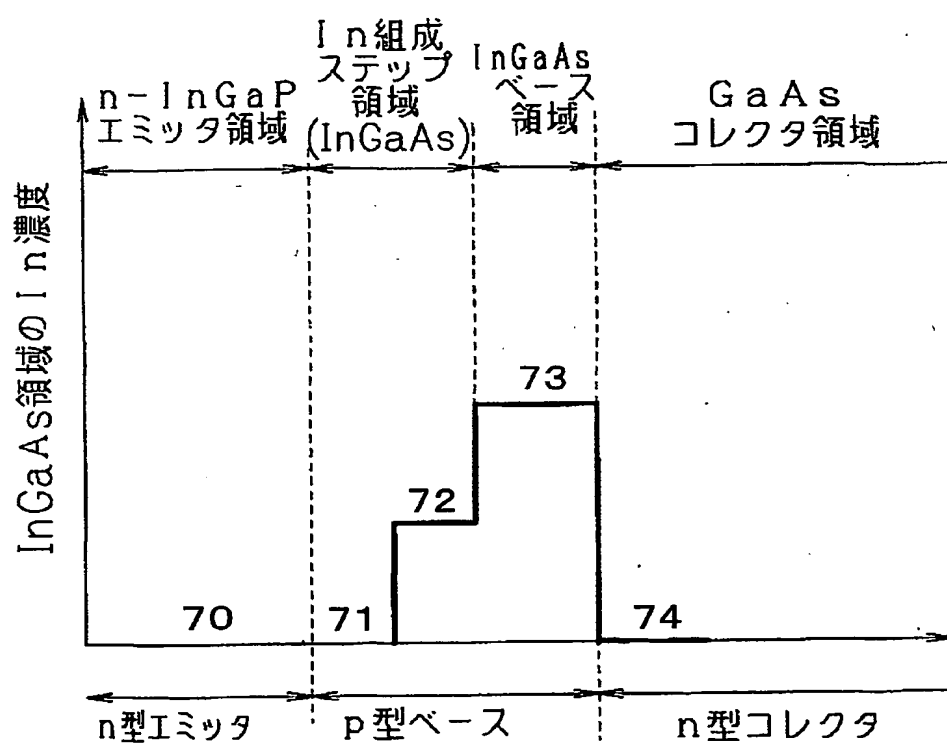
図10





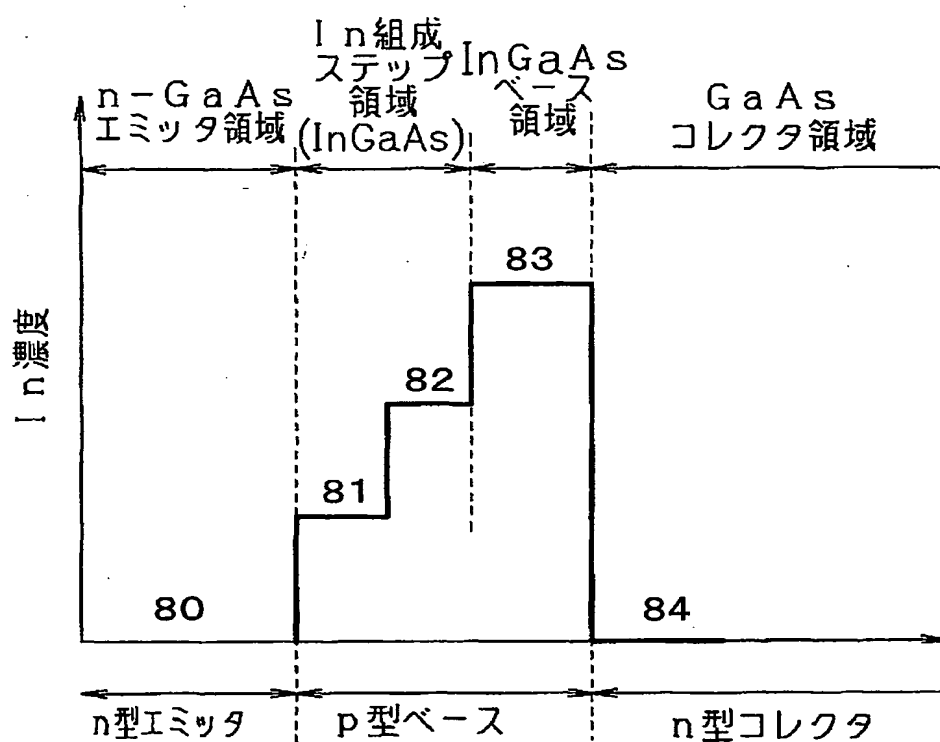
11/15

図11



12/15

図12



13/15

図13

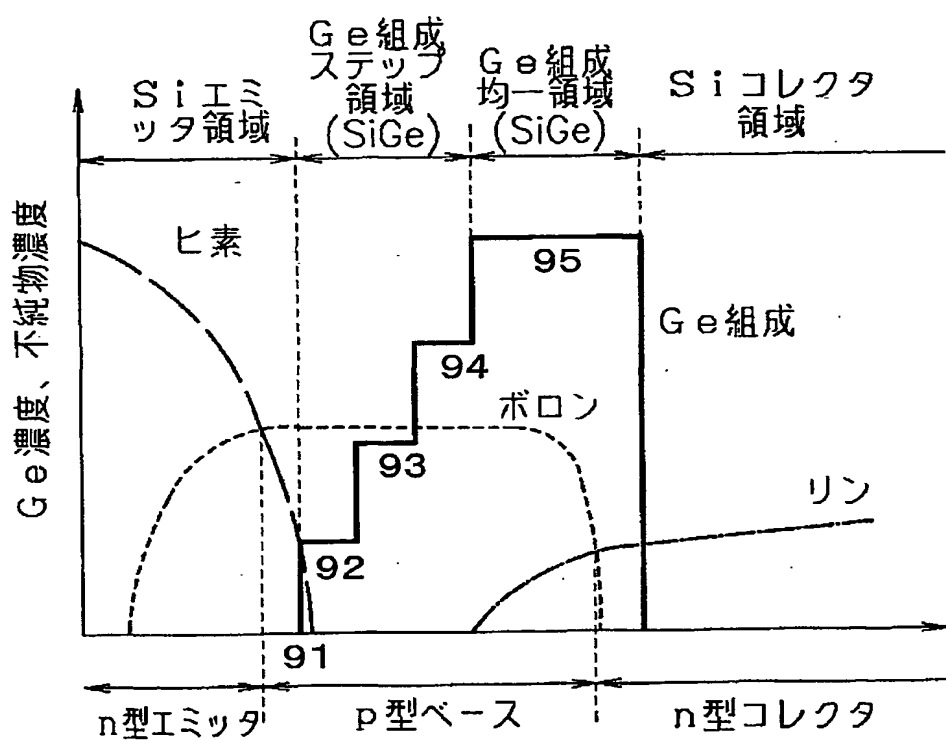
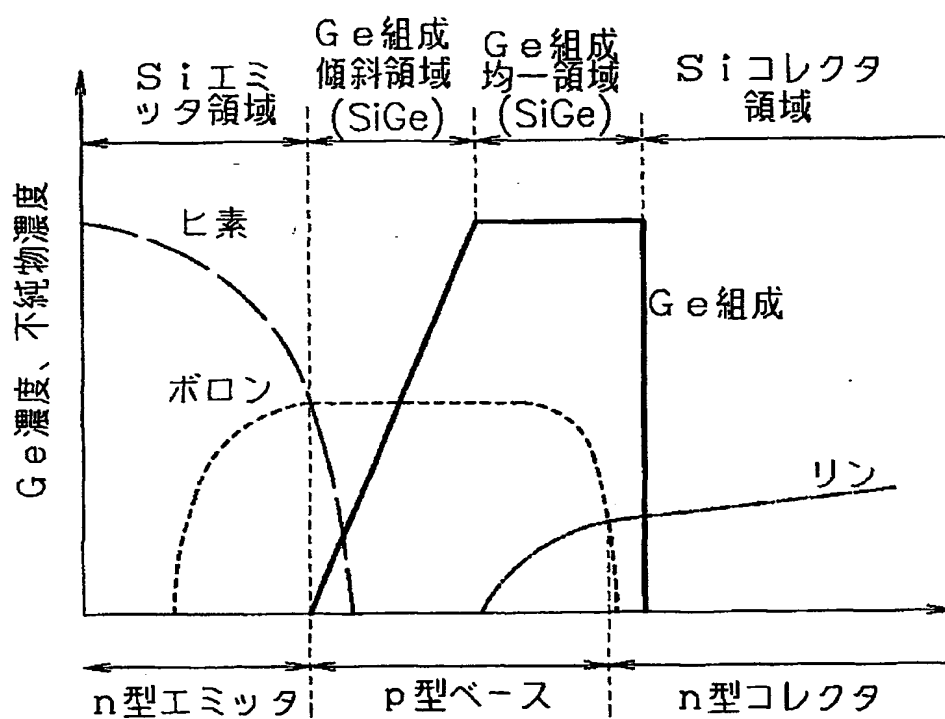
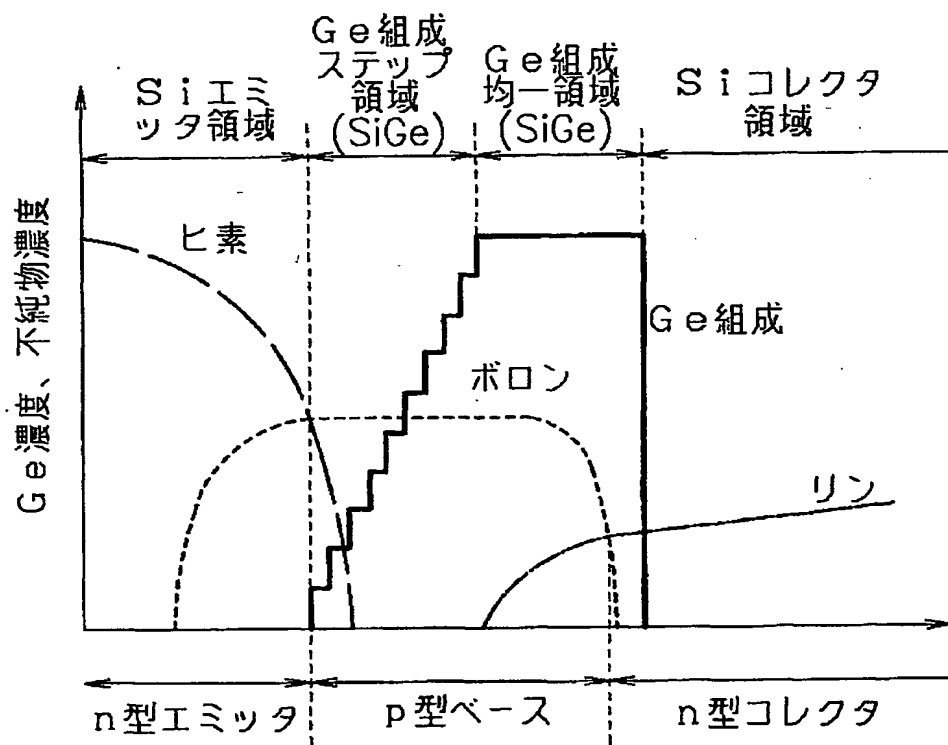


図14



15/15

図15



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/02342

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/737, H01L21/331

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/73-29/737, H01L21/331

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2-238631 A (Seiko Epson Corp.),	1-8
Y	20 September, 1990 (20.09.90), Full text; Figs. 2 to 3 (Family: none)	9-15
Y	JP 5-74800 A (NEC Corp.), 26 March, 1993 (26.03.93), Par. Nos. [0008] to [0015]; Fig. 1 (Family: none)	9-10
Y	HARAME, D. L. et al., Optimization of SiGe HBT technology for high speed analog and mixed-signal applications, IEDM Tech. Dig., December 1993, pages 71 to 74	11

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

 Date of the actual completion of the international search  
10 June, 2002 (10.06.02)

 Date of mailing of the international search report  
25 June, 2002 (25.06.02)

 Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/02342

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 64-15912 A (Hitachi, Ltd.), 19 January, 1989 (19.01.89), Full text (Family: none)	12
Y	JP 3-124033 A (Fujitsu Ltd.), 27 May, 1991 (27.05.91), Page 2, upper left column, lines 10 to 16; page 2, lower left column, line 19 to lower right column, line 10; Fig. 2 (Family: none)	13-14
X	JP 2000-68283 A (Hitachi, Ltd.), 03 March, 2000 (03.03.00), Par. Nos. [0018] to [0019], [0031] to [0032]; Figs. 3, 9 (Family: none)	1-2, 7-8, 11, 15
P, X	JP 2001-338928 A (Mitsubishi Heavy Industries, Ltd.), 07 December, 2001 (07.12.01), Par. Nos. [0031] to [0039]; Figs. 5 to 6 (Family: none)	1-7, 11, 15

## 国際調査報告

国際出願番号 PCT/JPO2/02342

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>1</sup>

H01L 29/737 H01L 21/331

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>1</sup>

H01L 29/73-29/737 H01L 21/331

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2002年

日本国登録実用新案公報 1994-2002年

日本国実用新案登録公報 1996-2002年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

IEEE Xplore

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2-238631 A (セイコーエプソン株式会社) 1990. 09. 20,	1-8
Y	全文, 第2図~第3図 (ファミリーなし)	9-15
Y	J P 5-74800 A (日本電気株式会社) 1993. 03. 26, 【0008】段落~【0015】段落, 第1図 (ファミリーなし)	9-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

10. 06. 02

国際調査報告の発送日

25.06.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 将之



4M 9634

電話番号 03-3581-1101 内線 3462



C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	HARAME, D.L. et.al. Optimization of SiGe HBT technology for high speed analog and mixed-signal applications, IEDM Tech. Dig., December 1993, pp.71-74	11
Y	J P 64-15912 A (株式会社日立製作所) 1989. 01. 19, 全文 (ファミリーなし)	12
Y	J P 3-124033 A (富士通株式会社) 1991. 05. 27, 第2頁左上欄第10行~第16行, 第2頁左下欄第19行~右下欄 第10行, 第2図 (ファミリーなし)	13-14
X	J P 2000-68283 A (株式会社日立製作所) 2000. 03. 03, 【0018】段落~【0019】段落, 【0031】段落~【0032】段落, 第3図, 第9図 (ファミリーなし)	1-2, 7-8, 11, 15
PX	J P 2001-338928 A (三菱重工業株式会社) 2001. 12. 07, 【0031】段落~【0039】段落, 第5図~第6図 (ファミリーなし)	1-7, 11, 15